

(19) 日本国特許庁 (J P)

(12) 公開実用新案公報 (U)

(11) 実用新案出願公開番号

実開平4-119117

(43) 公開日 平成4年(1992)10月26日

| (51) Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|------|------------|-----|--------|
| H 0 3 F | 1/30 | A 8836-5 J | | |
| | 3/34 | A 7328-5 J | | |
| | 3/45 | Z 7328-5 J | | |

審査請求 未請求 請求項の数1(全 3 頁)

(21) 出願番号 実願平3-23017

(22) 出願日 平成3年(1991)4月9日

(71) 出願人 000006507

横河電機株式会社

東京都武蔵野市中町2丁目9番32号

(72) 考案者 今村 誠

東京都武蔵野市中町2丁目9番32号 横河
電機株式会社内

(72) 考案者 瀬上 雅博

東京都武蔵野市中町2丁目9番32号 横河
電機株式会社内

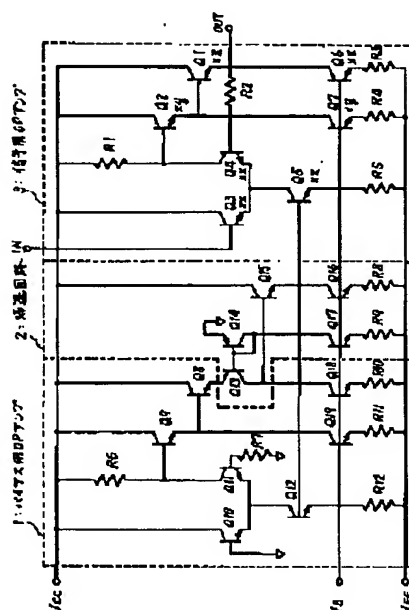
(74) 代理人 弁理士 小沢 信助

(54) 【考案の名称】 演算増幅回路

(57) 【要約】

【目的】 温度によるオフセット電圧のドリフトをなくした演算増幅回路を実現するもの。

【構成】 片側のベース端子は接地し、もう片側のベース端子は抵抗を介し接地した第1のエミッタ結合と、エミッタフォロアからなるバイアス用OPアンプと、DC特性が同じアンプと、上記バイアス用OPアンプの出力と、基準電圧とを入力し、両者の差を演算し、第1および第2のエミッタ結合の電流源にフィードバックする帰還回路を設けたことを特徴とする演算増幅回路



【実用新案登録請求の範囲】

【請求項1】 入力端子と、出力端子と、エミッタを互いに接続し電流源を介して接地し、片側のベース端子は接地し、もう片側のベース端子は抵抗(R7)を介し接地した1対のトランジスタと、その抵抗(R7)が接続したトランジスタのコレクタの出力を増幅するエミッタフォロアとを有するバイアス用アンプと、を介してエミッタ結合と、エミッタを互いに接続し電流源を介して接地し、片側のベース端子は入力端子に接続し、もう片側のベース端子は抵抗(R2)を介し出力端子に接続した1対のトランジスタと、その抵抗(R2)が接続したトランジスタのコレクタの出力を増幅し、上記の出力端子が最終出力段のトランジスタのエミッタに接続したエミッタフォロアとを有する信号用アンプと、上記バイアス用アンプ内のエミッタフォロア内の最終出力段のトランジスタのエミッタからの信号と、基準電圧とを入力し、両者の差を演算し、バイアス用アンプおよび信号用アンプ

の各々の電流源にフィードバックする帰還回路とを設けたことを特徴とする演算増幅回路。

【図面の簡単な説明】

【図1】 本考案の構成図である。

【図2】 本考案の一実施例の具体的な回路図である。

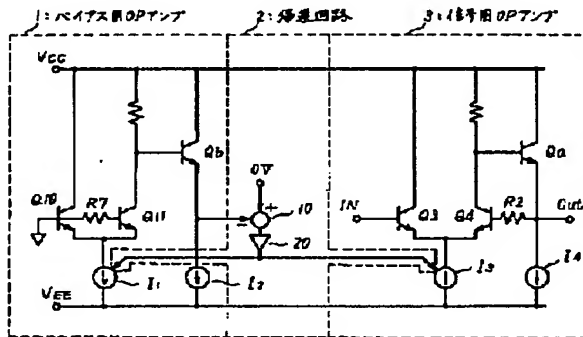
【図3】 本考案のゲインおよびスケールファクタの説明図である。

【図4】 本考案の従来例の構成図である。

【符号の説明】

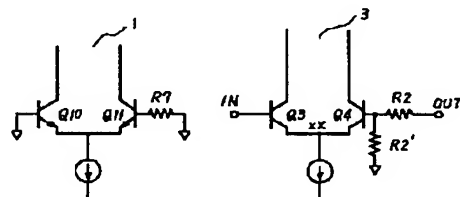
- 10 Q1～Q12, Q15～Q19, Qa～Qb…NPNトランジスタ、
Q13, Q14…PNPトランジスタ、
R1～R12, Ra～Rb…抵抗
1…バイアス用OPアンプ、
2…帰還回路、
3…信号用アンプ。

【図1】

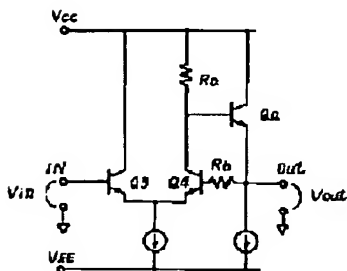


10: 演算回路 20: 増幅回路

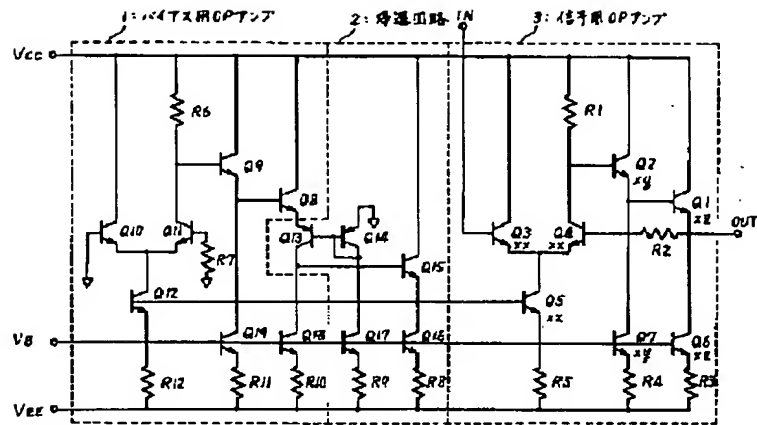
【図3】



【図4】



【図2】



【考案の詳細な説明】

【0001】

【産業上の利用分野】

本考案は、演算増幅回路に関し、詳しくはNPNトランジスタから構成された演算増幅回路の動作点の温度による変動の改善に関するものである。

【0002】

【従来の技術】

図4に、従来のNPNトランジスタから構成される演算増幅回路を示す。図においてQ3、Q4、QaはNPNトランジスタ、Ra、Rbは抵抗である。トランジスタQ3とQ4は同じ特性を持つものとする。Q3とQ4とRaとRbで増幅作用を行い、Qaは出力段のエミッタフォロアを構成する。RaとQ4のコレクタとQaのベースが接続している。またQaのエミッタはRbを介し、Q4のベースにフィードバックしている。

この演算増幅回路の動作点の温度ドリフトは、Q3のVbe（ベース－エミッタ間電圧）の温度による変動が増幅されてアンプ出力値に加算されることにある。

ここで、このアンプの出力は、

$$V_{out} = V_{in} (A / (1 + A\beta))$$

となる。Aはこのアンプのオープンループゲイン、 β はアンプの帰還量である。ここでは、NPNトランジスタのみで構成しているため利得を定める抵抗RaをQ4のエミッタに接続している。このためオープンループゲインAが、抵抗Raの部分でPNPトランジスタを用いて構成した演算増幅回路より小さくなる。（ $A = (Ra \text{ の抵抗値}) / (Q4 \text{ の相互コンダクタンス } [G_m])$ ）であるため）よって、アンプの出力のドリフトが $1 / (1 + A\beta)$ 倍されてもあまり小さくならず、アンプの出力の基準電圧すなわち動作点が温度変化によって変動する。

【0003】

【考案が解決しようとする課題】

本考案は上記の課題を解決しようとしたものであり、温度によるオフセット電圧のドリフトをなくした演算増幅回路を実現しようとするものである。

【0004】

【課題を解決するための手段】

本考案は、入力端子と、出力端子と、

エミッタを互いに接続し電流源を介して接地し、片側のベース端子は接地し、もう片側のベース端子は抵抗（R 7）を介し接地した1対のトランジスタと、その抵抗（R 7）が接続したトランジスタのコレクタの出力を増幅するエミッタフォロアとを有するバイアス用アンプと、
を介してエミッタ結合と、

エミッタを互いに接続し電流源を介して接地し、片側のベース端子は入力端子に接続し、もう片側のベース端子は抵抗（R 2）を介し出力端子に接続した1対のトランジスタと、その抵抗（R 2）が接続したトランジスタのコレクタの出力を増幅し、上記の出力端子が最終出力段のトランジスタのエミッタに接続したエミッタフォロアとを有する信号用アンプと、

上記バイアス用アンプ内のエミッタフォロア内の最終出力段のトランジスタのエミッタからの信号と、基準電圧とを入力し、両者の差を演算し、バイアス用アンプおよび信号用アンプの各々の電流源にフィードバックする帰還回路とを設けたことを特徴とする演算増幅回路である。

【0005】

【作用】

信号用アンプと、同じDC特性を持つバイアス用演算増幅回路と、バイアス用演算増幅回路の出力をフィードバック制御する帰還回路を用いて、バイアス用演算増幅回路の出力を、信号用アンプ内の電流源となるトランジスタのベースに入力し、信号用アンプの出力のオフセット電圧が一定にする。

【0006】

【実施例】

図1は、本考案の演算増幅回路の構成図である。

【0007】

図において1はバイアス用OPアンプ、2は帰還回路、3は信号用アンプである。Q3、Q4、Q10、Q11、Qa、Qb、はNPNトランジスタで、Q

3とQ4、Q10とQ11はそれぞれ同じ特性である。さらにバイアス用OPアンプ1と信号用アンプ3のDC特性は同じで、信号用アンプ3のゲインは1倍である。I1、I3は電流源で、帰還回路2により電流値を制御される。I2、I4は定電流源である。

バイアス用OPアンプ1を構成するトランジスタQ10、Q11は、互いにエミッタが共通に接続され、片方のトランジスタQ10のベースは接地され、もう片方のトランジスタQ11のベースは抵抗R7を介して接地されている。トランジスタQbはそのベースがトランジスタQ11のコレクタに接続されたエミッタフォロアである。さらにエミッタ結合しているトランジスタQ10、Q11のエミッタは、電流源I1を介し接地している。

演算増幅用OPアンプ3を構成するトランジスタQ3、Q4は、互いにエミッタが共通に接続され、片方のトランジスタQ3のベースは入力端子に接続され、もう片方のトランジスタQ4のベースは抵抗R2を介して出力端子に接続されている。エミッタフォロアを構成するトランジスタQaは、そのベースがトランジスタQ4のコレクタに、そのエミッタが出力端子に接続されている。さらにエミッタ結合しているトランジスタQ3、Q4のエミッタは、電流源I3を介し接地している。

10はバイアス用OPアンプ1の出力電圧と0Vとの差を演算する演算手段、20は演算手段10の出力を増幅し電流変化を、バイアス用OPアンプ1内および信号用アンプ3内の定電流源に入力する。

帰還回路2はバイアス用OPアンプ1の出力（トランジスタQbのエミッタの電位）が、基準電圧（0V）と等しくなるように負帰還をかける。バイアス用OPアンプ1と信号用アンプ3のDC特性は同じで信号用アンプ3のゲインは1倍であるから、各々の電流源に流れる電流が等しいとトランジスタQa、Qbの動作点は等しくなる。このため、バイアス用OPアンプ1の出力が一定であるかぎり、バイアス用OPアンプ1および信号用アンプ3の電流源には動作点が0Vになるよう電流が流れる。温度変化等でバイアス用OPアンプ1の出力が基準電圧（0V）から外れるようなことがあっても帰還回路2によって修正される。

【0008】

図2は、本考案の一実施例の回路図である。

図においてQ1～Q12およびQ15～Q19はNPNトランジスタ、Q13、Q14はPNPトランジスタ、R1～R12は抵抗である。端子Vccは正電圧源に、端子VEEは負電圧源に、端子VBはベース電圧源に接続する。

1はDC特性が信号用アンプ3と同じバイアス用OPアンプで、NPNトランジスタQ8～Q12、Q18～Q19と抵抗R7、R10～R12から構成される。入力端子であるトランジスタQ10のベースは接地され、出力端子であるトランジスタQ11のベースは抵抗R7を介して接地されている。このバイアス用OPアンプ1の動作点を定めるトランジスタQ12のベースは、信号用アンプ内の動作点を定めるトランジスタQ5のベースと接続している。

2は帰還回路で、トランジスタQ13～Q17と抵抗R8、R9から構成される。上記バイアス用OPアンプ1内のNPNトランジスタQ8のエミッタにはPNPトランジスタQ13のエミッタが接続し、トランジスタQ13のコレクタにはバイアス用OPアンプ1内のNPNトランジスタQ18のコレクタが接続する。PNPトランジスタQ13のベースには、トランジスタQ13と同じ特性を持つPNPトランジスタQ14のベースとコレクタが接続し、このトランジスタQ14のエミッタは接地している。NPNトランジスタQ15のベースにトランジスタQ13のコレクタが接続し、コレクタには正電圧源が接続し、エミッタには演算増幅回路内のNPNトランジスタQ5のベースが接続する。

信号用アンプ3は、NPNトランジスタQ1～Q7と抵抗R1～R5から構成される。トランジスタQ3、Q4と抵抗R1で演算増幅機能を行い、トランジスタQ1、Q2で出力段を構成している。トランジスタQ5～Q7でこの演算増幅回路の動作点を定める。

トランジスタQ6、Q7、Q16～Q19は定電流源を構成し、ベースはすべて端子VBに接続し、エミッタは各々抵抗を介して端子VEEに接続し、コレクタは各々電流供給さきに接続する。

更に、抵抗R9、R10の抵抗値は等しく、トランジスタQ13、Q14の特性は等しく、トランジスタQ17、Q18の特性は等しいものとする。x、y、zは各々対応するトランジスタのスケールファクタである。

【0009】

まず本発明の演算増幅回路の動作（バイアス）点が接地の電位である説明をする。バイアス回路部2内のトランジスタQ14のエミッタが接地しているから、トランジスタQ13とトランジスタQ14のエミッタ電流が等しければ、バイアス用OPアンプ1内のトランジスタQ8のエミッタの出力電圧（バイアス用OPアンプ1の出力電圧に相当する）は接地の電位（0V）となる。ここでバイアス用OPアンプ1内の動作点を定めるトランジスタQ12のベースと信号用アンプ3内の動作点を定めるトランジスタQ5のベースが接続して、かつバイアス用OPアンプ1と信号用アンプ3のDC特性が等しいため、本発明の演算増幅回路の動作（バイアス）点が接地の電位（0V）となる。

つぎに温度が上昇した場合の動作を説明する。但し、トランジスタQ6、Q7、Q16～Q19は温度によらず一定の定電流源であるとみなす。

①トランジスタQ8の V_{be} が小さくなるため、トランジスタQ8のエミッタの出力電圧が高くなる。②トランジスタQ13のコレクタ電流は増大するが、トランジスタQ18の引き込む電流値はかわらないので、トランジスタQ15のベース電圧が高くなる。③トランジスタQ15のエミッタ電流は変化しないので、トランジスタQ15のエミッタ電圧が高くなる。④トランジスタQ12のベース電圧が高くなるので、トランジスタQ12のコレクタ電流が増大し、トランジスタQ11のコレクタ電流も増大する。⑤トランジスタQ9のベース電圧が下がり、トランジスタQ8もベース電圧が下るので、トランジスタQ8のエミッタの出力電圧が下がりフィードバックがかかる。

温度が下降した場合の動作はすべて逆となる。

【0010】

尚、バイアス用OPアンプ1は直流動作しか行わないから、バイアス用OPアンプ1と信号用アンプ3はDC特性が等しければ良いので、各対応するトランジスタのスケールファクタ（エミッタ面積比のこと、このエミッタ面積に比例してトランジスタに流せる電流の量が決定する）を変化させることも可能である。但し、この時スケールファクタを変化させたならば、これに対応する抵抗の値も変えなくてはならない。

例を以下に示す。トランジスタQ3、Q4のトランジスタQ10、Q11に対するスケールファクタと、トランジスタQ5のトランジスタQ12に対するスケールファクタはx倍とする。トランジスタQ2、Q7のトランジスタQ9、Q19に対するスケールファクタはy倍とする。トランジスタQ1、Q6のトランジスタQ8、Q18に対するスケールファクタはz倍とする。この時、各抵抗値の関係は次のようになる。抵抗値は抵抗名で表すものとする。

$$R_{12} = x \times R_5$$

$$R_{11} = y \times R_4$$

$$R_{10} = R_9 = z \times R_3$$

$$R_6 = x \times R_1$$

$$R_7 = x \times R_2$$

この様にスケールファクタを変えることにより、高速動作が必要なアンプ（信号用アンプ）には電流をたくさん流し、直流動作のみ行うアンプ（バイアス用OPアンプ）では電流は少しでよいので消費電力の節約ができるという利点がある。

【0011】

また本実施例の演算増幅回路内の帰還回路2はエミッタフォロアを介してフィードバックを行っているが、トランジスタQ13のコレクタから直接フィードバックを行うことも可能である。

更に、本実施例の演算増幅回路のアンプの閉ループゲインは1倍を示してあるが、これは1倍出なくてもよい。

図3に示すように、閉ループゲインを

$$1 + (R_2 / R_2')$$

バイアス用OPアンプのR7と信号用アンプのゲイン用も抵抗の値は

$$R_7 = x \times ((R_2 + R_2') / (R_2' \times R_2))$$

【0012】

【考案の効果】

以上詳細に説明したように、本考案によれば従来例の演算増幅回路に比べ、温度変化によらず一定のバイアス点で動作する演算増幅回路点を実現できる。

THIS PAGE BLANK (USPTO)